

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09167771 A**

(43) Date of publication of application: **24 . 06 . 97**

(51) Int. Cl.

H01L 21/321
H01L 21/60

(21) Application number: **07325838**

(71) Applicant: **KOKUSAI ELECTRIC CO LTD**

(22) Date of filing: **14 . 12 . 95**

(72) Inventor: **ASANO KOJI**

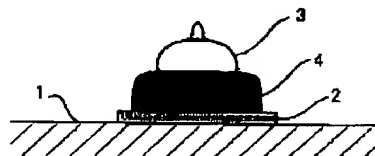
(54) **BUMP STRUCTURE**

COPYRIGHT: (C)1997,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To reduce the dispersion width thereby making feasible of the short time connection and the reduction in the occurrence of defective short circuit by decreasing the bump diameter on the connecting topmost stage on a substrate than that on the stage lower than the topmost stage.

SOLUTION: Firstly, a bump 4 is formed on an electrode pad of a semiconductor device 1 in ball bonding mode. Later, another bump 3 in smaller diameter than that of the bump 4 is formed also in ball bonding mode. At this time, the laminated forming step of the bump 3 on the bump 4 brings about the effect of flattening the neck part of the bump 4 on the lower stage. Resultantly, the dispersion in the bump level as the whole bump depends only upon the bump level on the upper stage so that the dispersion width on the upper stage may be made narrower than that of the lower bump since the bump diameter of the upper bump 3 is smaller than that of the lower bump 4.



BEST AVAILABLE COPY

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 9 - 1 6 7 7 7 1

(43) 公開日 平成 9 年 (1 9 9 7) 6 月 2 4 日

(51) Int. Cl. °	識別記号	庁内整理番号	F I	技術表示箇所		
H01L 21/321			H01L 21/92	602	D	
21/60	311		21/60	311	S	
			21/92	604	J	

審査請求 未請求 請求項の数 6 O L (全 4 頁)

(21) 出願番号 特願平 7 - 3 2 5 8 3 8

(22) 出願日 平成 7 年 (1 9 9 5) 1 2 月 1 4 日

(71) 出願人 0 0 0 0 0 1 1 2 2

国際電気株式会社

東京都中野区東中野三丁目 1 4 番 2 0 号

(72) 発明者 浅野 宏二

東京都中野区東中野三丁目 1 4 番 2 0 号

国際電気株式会社内

(74) 代理人 弁理士 秋本 正実

(54) 【発明の名称】 バンプ構造

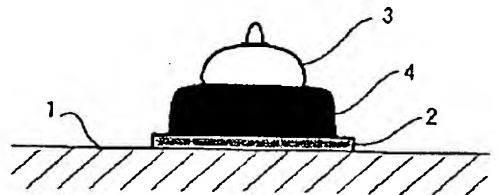
(57) 【要約】

【課題】 バンプ高さのばらつきを吸収でき、短時間に簡単に接続でき、ショート不良の発生の少ない信頼性の高いバンプ構造の提供にある。

【解決手段】 半導体装置 1 の電極パッド上に下段のバンプ 4、最上段のバンプ 3 をボールボンディング方式で積重ねて形成する。最上段のバンプ 3 の径を下段のバンプ 4 の径より小さく形成する。

図 1

BEST AVAILABLE COPY



【特許請求の範囲】

【請求項 1】 半導体素子の電極パッドにボールボンディングによって積重ねて形成するバンパ構造において、基板上の電極と接続される最上段のバンパの径を、前記最上段のバンパより下の段にあるバンパの径より小さくしたことを特徴とするバンパ構造。

【請求項 2】 前記最上段のバンパの材料と前記最上段のバンパより下の段にあるバンパとが同じ材質であることを特徴とする請求項 1 記載のバンパ構造。

【請求項 3】 前記最上段のバンパの材料と前記最上段のバンパより下の段にあるバンパとが異なる材質であることを特徴とする請求項 1 記載のバンパ構造。

【請求項 4】 前記最上段のバンパの材料と前記最上段のバンパより下の段にあるバンパとが異なる硬度であることを特徴とする請求項 1 記載のバンパ構造。

【請求項 5】 前記最上段のバンパの材料がはんだであることを特徴とする請求項 1 記載のバンパ構造。

【請求項 6】 前記最上段のバンパより下の段にあるバンパの金属材料が Au、Cu またははんだの何れかであることを特徴とする請求項 1 記載のバンパ構造。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体素子等をベアチップの状態で基板へ実装したり、測定するためのボールボンディング方式によって形成するバンパ構造に関するものである。

【0002】

【従来の技術】 従来、半導体素子をフリップチップ実装を行うため、バンパ形成にめっきや蒸着法を用いて行ってきたが、ユーザがウェハで入手することが困難なことや設備投資額が大きいことから、近年、チップ状態でもバンパ形成が可能で、ワイヤボンディング装置を用いて行うスタッドバンパ法が用いられてきている。スタッドバンパ法は二段突起形状にするため、ネックの高さがばらつき、バンパ形成後にレベリングしてネック高さを調整している。その後、バンパと基板の間に導電性ペーストを介在させて、接続していた。

【0003】 図 4 は従来のバンパ構造の断面図である。図 4 において、1 は半導体装置、2 は電極パッド、10 はレベリング前のスタッドバンパ、11 はレベリング後のスタッドバンパである。レベリング前のスタッドバンパ 10 はネック部 10a の高さがばらつくため、レベリングを行いネック部 11a のように平坦にして、チップ内のバンパ高さを均一にしている。

【0004】 図 5 は従来のスタッドバンパによる実装状態を示すものである。図において、6 は端子電極部、7 は回路基板、12 は導電性接着剤である。まず、半導体装置 1 のレベリング後のバンパ 11 に導電性接着剤 12 を転写する。その後、この半導体装置 1 をフェースダウンで回路基板 7 の端子電極部 6 に位置合せを行い、回路

基板 7 上に半導体装置 1 をマウントした後、加熱により導電性接着剤 12 を硬化させることによって、図 5 に示すように、半導体装置 1 が二段突起形状のバンパ 11 および導電性接着剤 12 を介して回路基板 7 の端子電極部 6 に電氣的に接続されるものである。

【0005】

【発明が解決しようとする課題】 しかしながら上記の従来構造ではバンパの端子電極部と対面する部分への導電性接着剤の転写量を一定にするためにレベリングを実施しなければならなかった。また、導電性接着剤を硬化させるのに比較的高温で処理しても数十分を要するため、量産時には不利である。電氣的特性の面では導電性接着剤を介して接続しているために数十 mΩ の接続抵抗を持ち、高周波向けの LSI の実装への適用は困難であった。

【0006】 本発明の目的は、上記従来技術のバンパ高さのばらつきを容易に吸収し、工程も簡略し、短時間で簡易に接続でき、さらに、ショート不良発生の少ない信頼性のある半導体装置の電氣的接続を実現しようとするものである。

【0007】

【課題を解決するための手段】 上記の目的は、電極パッドにボールボンディング方式で形成したバンパ上にさらに、ボールボンディング方式でバンパを積重ねたバンパ構造であって、回路基板に面する最上段のバンパの径をそれより下段のバンパよりバンパ径を小さくしたことによって達成される。

【0008】 上記の手段によれば、積重ねによって下段のバンパを平坦にでき、上段のバンパの径を小さくして、バンパ高さのばらつきを小さくでき、さらに、ショート不良を低減できる。

【0009】

【発明の実施の形態】 以下図面により本発明の実施の形態を詳細に説明する。図 1 は本発明の一実施形態を示す部分の側面拡大図である。図において、1 は半導体装置、2 は電極パッドで、この上に下段のバンパ 4、最上段のバンパ 3 を積重ねる。

【0010】 先づ、半導体装置 1 の電極パッド 2 上にボールボンディング方式でバンパ 4 を形成する。その後、バンパ 4 直上にボールボンディング方式でバンパ 4 より径の小さいバンパを形成する。このバンパ 4 の上に径の小さいバンパ 3 を積重ねて形成する際、下段のバンパ 4 のネック部を平坦にする効果があり、バンパ全体としてのバンパ高さのばらつきは上段のバンパ高さだけに依存することになり、上段のバンパはバンパ径が小さいため、大きい径の下段のバンパに比較するとばらつき幅が小さくなる。

【0011】 図 2 は本発明の第一の実装状態を示す概略断面図である。図は、バンパを二段形成し、上段のバンパ 3 に下段のバンパ 4 より融点の低い材料を用い、半導

体装置 1 をフェースダウンで回路基板 7 の端子電極 6 に位置合せを行い、端子電極部 6 に接する上段のバンパ 3 が溶融し、かつ、下段のバンパ 4 材料が溶融しない適当な温度で、半導体装置 1 や回路基板 7 を加熱する。加熱によって、半導体装置 1 の電極パッド 2 上に形成したバンパ 4 と回路基板 7 の端子電極部 6 を溶着したバンパ材料 5 が、電氣的に接続できる。この際、接続には電極パッド 2 と端子電極 6 の位置合せ、半導体装置（チップ）の加熱および荷重制御できるフリップチップボンダを使用することで、乾燥工程もなく、短時間で接続することが可能になる。

【0012】例えば、最上段のバンパを Pb/Sn 系の材料を使用する場合、半導体装置（チップ）を約 220 ～ 230℃ に加熱し、バンパ材料を溶着し、半導体装置のパッド電極上のバンパと回路基板の端子電極を接続させる。下段のバンパに比べ上段のバンパの径が小さいので、下段のバンパ径と回路基板の端子電極の面積により溶融したバンパ材料 5 のひろがりをコントロールできる。

【0013】また、下段にあるバンパ 4 の材料には Au、Cu またははんだ等を用いることができ、これは最上段のバンパ材料との融点、硬度等の関係を考慮して選択される。例えば、下段のバンパ材料に Au を用い、はんだを最上段のバンパ材料に用いる場合は、はんだ材料に両者間での拡散等を防止する添加物等が必要である。Cu 等は電流を多く流す用途等に適應できる。はんだを下段にあるバンパの材料に使用する場合は高温はんだが用いられる。

【0014】図 3 は本発明の第二の実装形態を示す概略断面図である。図は、バンパを二段形成し、半導体装置 1 をフェースダウンで回路基板 7 の端子電極 6 に位置合せを行い、上段および下段のバンパ両者の融点より低い温度で、半導体装置 1 や回路基板 7 を加熱することによって、半導体装置 1 の電極パッド 2 上に形成したバンパ 4 と最上段のバンパ 8 とが回路基板 7 の端子電極部 6 と熱圧着されている。このときバンパが荷重により偏平化するが、上段、下段のバンパが同じ材質であっても、最上段のバンパ 8 の径が小さいため偏平率が大きく、それに比較して、下段のバンパ 4 は偏平率が小さく、最短距離の位置にあるバンパへの接触によるショートを低減することができる。このときも、接続には電極パッド 2 と端子電極 6 の位置合せ、半導体装置（チップ）の加熱および荷重制御できるフリップチップボンダを使用することで、乾燥工程もなく、短時間で接続することが可能になる。

【0015】また材質とは無関係に硬度等を考慮し、バンパ径を設定することでも良好な実装を行うことができる。例えば下段のバンパに最上段のバンパより硬度が大

きい材料を用いて実装する場合、最上段のバンパを熱圧着するのに荷重を低く設定でき、大チップでも比較的荷重をかけないで実装することができる。

【0016】尚、図 1 のように二段構成になっている場合はレベリング工程がなくてもよいが、さらに、最上段のバンパより下に複数段ある場合には最上段のバンパ形成前や各段形成後にレベリングを実施してもよい。

【0017】また、図 1、図 2 および図 3 の実施形態では、二段構成になっているが、それ以上であってもよい。

【0018】そのほか、ハンダ等をバンパ材料に使用する場合、フラックスを使用してもよい。

【0019】

【発明の効果】本発明のバンパ構造は、最上段のバンパ径が小さいことで、バンパ間の接触等によるショートを防止する構造になっており、狭ピッチのパッドをもつ LSI チップのフリップチップ実装についても適用できる。またバンパを積重ねて形成した下段のバンパは最上段のバンパより溶融させたり、偏平させる量が少ないので、バンパ高さを確保でき、樹脂の充填が容易なため、樹脂選定の範囲が広がる。さらに、バンパ高さを大きくできるのでバンパにかかる応力も低減する方向になり、大チップ LSI のフリップチップ実装も可能にする。その上、積重ねてバンパ形成する際に下段のバンパ高さを均一にする効果もあり、さらに、乾燥工程等がなく、短時間で接続できるので、経済的である。それにもまして、設備的にはワイヤボンディング装置を利用して形成することが可能なため、設備投資等の必要がなく、非常に経済的である。

【図面の簡単な説明】

【図 1】本発明の一実施形態を示す部分の側面拡大図である。

【図 2】本発明の第一の実装状態を示す概略断面図である。

【図 3】本発明の第二の実装状態を示す概略断面図である。

【図 4】従来のバンパ構造の断面図である。

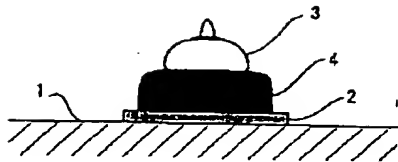
【図 5】従来のスタッドバンパによる実装状態断面図である。

【符号の説明】

1 … 半導体装置、2 … 電極パッド、3 … 最上段のバンパ、4 … 下段のバンパ、5 … 溶着したバンパ、6 … 端子電極部、7 … 回路基板、8 … 熱圧着された最上段のバンパ、10 … レベリング前のスタッドバンパ、10a … レベリング前のスタッドバンパのネック部、11 … レベリング後のスタッドバンパ、11a … レベリング後のスタッドバンパのネック部、12 … 導電性接着剤。

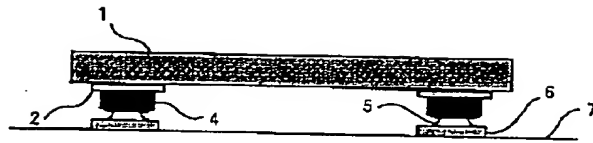
【図 1】

図 1



【図 2】

図 2



【図 3】

図 3

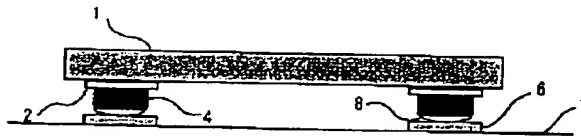
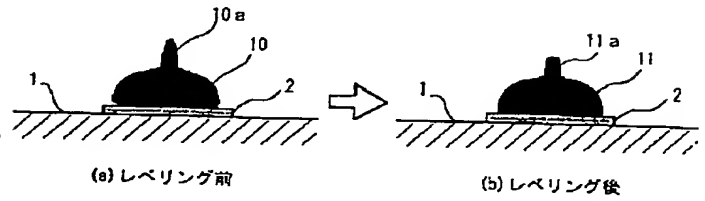


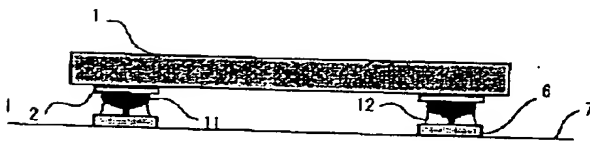
図 4

【図 4】



【図 5】

図 5



BEST AVAILABLE COPY